(19)대한민국특허청(KR)
(12)공개실용신안공보(U)

제 716 호

(51)Int. Cl.⁵
H 01 L 21/56

(43)공개일자 1994. 1. 3
(22)출원일자 1992. 6. 10

(11)공개번호 94-1979
(21)출원번호 92-10286
심사청구 : 없음

(72)고안자 박 준 수 서울특별시 강남구 역삼동 현대빌라 107-202

(71)출원인 금성일렉트론 주식회사 대표이사 문 정 환
충청북도 청주시 탑정동 50번지

(74)대리인 변리사 박 장 원

(건 2 단)

# (54)반도체 패키지

(57)요 약

본 고안은 반도체 패키지의 구조에 관한 것으로 반도체 칩이 부착 고정되는 리드 프레임의 패들과 상기 칩에 와이어 본딩되는 다수개의 외부연결 리드가 패키지의 저면으로 노출되도록 리드프레임의 상부측만 에폭시 몰딩 컴파운드로 몰딩하여 구성한 것이다.

즉 리드 프레임을 기준한 상부측은 에폭시 몰딩 컴파운드로 몰딩하고 하부측은 패들도시 인캡슐레이션 역할을 하도록 함으로써 패키지의 전체적인 두께를 보다 작게하여 경박단소화에 기여하고, 신장율을 보다 높일 수 있다는 효과와 아울러 포밍공정이 제거되는 등 제조공정이 단순해지며, 칩의 전기적인 특성이 보다 좋아지는 등의 여러 효과가 있다.

BEST AVAILABLE COPY

실용신안 등록청구의 범위

1. 「반도체 패키지 구조에 있어서, 반도체 칩(11)이 부착 고정되는 리드 프레임의 패들(12)과 상기 칩(11)이 와이어 본딩되는 다수개의 외부연결 리드(13)가 패키지의 저면으로 노출되도록 리드 프레임의 상부측만 에폭시 몰딩 컴파운드(14)로 몰딩하여 구성됨을 특징으로 하는 반도체 패키지.」

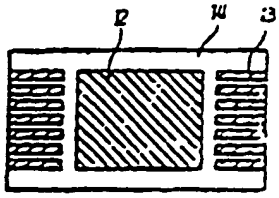
2. 제1항에 있어서, 상기 리드 프레임은 그의 패들(12)과 외부연결 리드(13)가 수평상태로 형성되거나, 또는 패들(12)을 돌어올린 업-셋구조로 형성됨을 특징으로 하는 반도체 패키지.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

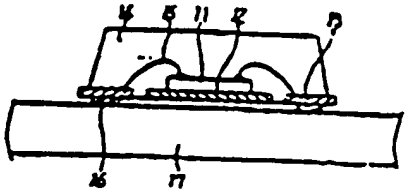
도면의 간단한 설명

제3도는 본 고안에 의한 반도체 패키지를 구조를 보이는 도면으로서, 제3도는 제2도의 저면도. 제4도는 본 고안에 의한 반도체 패키지의 실장상태를 보인 단면도.

제3도




제4도




BEST AVAILABLE COPY